

【特許請求の範囲】

【請求項 1】 光電変換により信号を生成し出力する受光素子と、その信号を増幅する増幅用 MOS トランジスタと、前記受光素子と前記増幅用 MOS トランジスタの間に設けられたスイッチ用 MOS トランジスタとを有する画素を複数個マトリクス状に配列した MOS 型固体撮像装置において、前記受光素子の出力部に接続された、前記受光素子の出力部を一定電位にリセットとするリセット用 MOS トランジスタを設けたことを特徴とする MOS 型固体撮像装置。

【請求項 2】 光電変換により信号を生成し出力する受光素子と、その信号を増幅する増幅用 MOS トランジスタと、前記受光素子と前記増幅用 MOS トランジスタの間に設けられたスイッチ用 MOS トランジスタとを有する画素を複数個マトリクス状に配列し画素部を構成した MOS 型固体撮像装置において、

第 1 伝導型の基板と、この基板中に形成された第 2 伝導型の第 1 領域と、この第 1 領域中に形成された第 1 伝導型の第 2 領域とを有し、前記第 2 領域の下に前記第 1 領域のない開口部を設け、前記第 1 領域と前記第 2 領域とより前記受光素子とを構成し、前記第 1 領域の電位を変化させることにより、前記第 2 領域を出力部とする前記受光素子の出力をリセットするトランジスタを有することを特徴とする MOS 型固体撮像装置。

【請求項 3】 請求項 1 又は 2 に記載の MOS 型固体撮像装置の撮像方法であって、前記全画素の前記受光素子の出力を同時に所定の電位に設定して前記受光素子による光信号蓄積を開始し、所定時間経過後に前記全画素の前記受光素子の出力を同時に前記増幅用トランジスタに入力して保持した後、前記画素部の行毎に順次前記受光素子の出力を前記増幅用トランジスタより出力して、全画素の光信号蓄積を同時にかつ同一期間行うようにしたことを特徴とする MOS 型固体撮像装置の撮像方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像装置及びその撮像方法に関わり、特に画像歪みの無い増幅型 MOS 型固体撮像装置及びその方法に関するものである。

【0002】

【従来の技術】 近年、固体撮像素子として、低消費電力や周辺回路一体化の容易性が注目され、増幅型 MOS 型固体撮像装置が盛んに開発されている。以下、MOS 型固体撮像素子の概要を添付説明図面とともに説明する。図 6 は、従来例の MOS 型固体撮像装置の概略構成図である。図 6 に示すように、MOS 型固体撮像装置 30（以下、単に撮像装置ともいう）は、光電変換を行う画素部 22 とこの画素部 22 を制御し信号処理を行う周辺回路より概略構成される。

【0003】 画素部 22 は、縦（以下、列ともいう）横（以下、行ともいう）に所定数のマトリクス状に並んだ画素 12 から構成される。これらの画素 12 には、行毎にこれらを制御するための行制御回路 24 より、TG 線、RG 線、RS 線の各制御線（以下、単に TG、RG、RS ともいう）が接続されており、列毎にこれらを制御するための列制御回路 5 より SHS 線、SHR 線の各制御線（以下、単に SHS、SHR ともいう）が接続されている。

【0004】 画素部 22 から得られる光電変換信号は、画素部 22 と接続されている信号処理回路 7 により雑音除去や AD 変換され出力される。行制御回路 24 と列制御回路 5 は、アドレス制御回路 23 に接続されている。アドレス制御回路 23 は、データ制御回路 6 に接続されている。信号処理回路 7 は、水平アドレス選択回路 8 及びデータ制御回路 6 に接続されている。

【0005】 図 7 は、従来例の MOS 型固体撮像装置における画素を示す構成図である。図 7 には、破線で囲まれて示される画素 12 とともに、これに接続される信号処理回路 7 中の信号処理部 20 が説明の容易のために示されている。なお、図 7 中において、G はゲート、S はソース、D はドレインをそれぞれ示す。画素 12 は 4 個の MOS トランジスタ M1、M2、M3、M4（以下、単に M1、M2、M3、M4 ともいう）及び受光素子 PD（以下、単に PD ともいう）より構成されている。

【0006】 PD の P 側は接地されており、N 側は M2 のソースに接続されている。M2 のゲートには TG が接続されており、M2 のドレインは M1 のソース及び M3 のゲートに接続されており、これらはノード S を形成している。M1 のゲートには RG が接続されており、M1 のドレインは基準電圧線 15 に接続されている。基準電圧線 15 には所定の電圧 VDD が印加されている。M3 のドレインは基準電圧線 15 に接続されており、M3 のソースは M4 のソースに接続されている。

【0007】 M4 のゲートは RS に接続されており、画素 12 からの出力は、M4 のドレインより出力される。M4 のドレインは、信号処理部 20 に入力され、ノード OUT を経て MOS トランジスタ M5（以下、単に M5 ともいう）のドレインおよび MOS トランジスタ M6 および M7（以下単に、M6、M7 ともいう）の各ソースに接続されている。M5 のゲートは基準電圧線 16 に接続され、所定の電圧 VB を所定のタイミングで与えられるようになっており、M5 のソースは接地されている。

【0008】 M6 のゲートは SHS に接続され、M6 のドレインは、容量 CS の一端と差動アンプ DA（以下、単に DA ともいう）のプラス（+）端に接続されており、容量 CS の他端は接地されている。M7 のゲートは SHR に接続され、M7 のドレインは、容量 CR の一端と DA のマイナス（-）端に接続されており、容量 CR

の他端は接地されている。

【0009】次に、従来の画素12からの信号取出しについて説明する。図8は、従来例のMOS型固体撮像装置における制御信号のタイミングを示す図である。制御信号については、図8を参照する。図8には、例として画素部22における第1行の画素と第2行の画素に対する制御信号が示されているが、他の行に対しても同様である。横軸は時間を示す。まず、画素部22中の第1行の全画素12からの出力を、一行分同時に信号処理回路7に送り、その後左から1画素ずつ読み出し出力した後、次に、第2行の全画素12からの出力を信号処理回路7に送る、さらにこれを順に下の行の画素12に繰り返して適用して、1フィールドの信号を読み出している。

【0010】以下の説明は1つの画素についての説明であるが、各行を構成する全画素が同様の動作を行うものである。最初に第1行の画素12に接続されているRGを高電位にし、M1をオンとして、ノードSFを電圧VDDにセットする。RGを低電位にし、M1をオフとした後、RSを高電位にすると、M4がオンになる。M5のゲートには一定電圧VBがかかっており一定電流が流れるので、M3-M4-M5でソースフォロワ回路を構成し、(VDDの電位) - (M3のしきい値電圧) である電圧V1がノードOUTに現れる。その後、SHRを高電位にすると、M7がオンし、容量CRがV1に充電される。

【0011】次に、SHRを低電位にし、M7をオフした後、TGを高電位にするとM2がオンし、受光素子PDの電位に比例してノードSFの電位が変化する。そして、(PDの電位に比例する電圧) - (M3のしきい値電圧) の電圧V2がノードOUTに現れる。その後、SHSを高電位にすると、M6がオンし、容量CSがV2に充電される。容量CSとCRは差動増幅器DAの各入力につながっているので、その出力として、(V2 - V1) の電圧、すなわち (PDの電位に比例する電圧) - (VDDの電位) の電圧が得られる。

【0012】このような画素からの出力信号の読み出し方法によって、M3のしきい値電圧の大きさや、各画素内のM3のしきい値電圧のばらつきに関係しない出力が得られるのである。SHSを所定時間の間、高電位にした後、SHSとRSを低電位とし、M6及びM4をオフにした後、所定時間だけRGとTGを同時に高電位とし、M1とM2をオンにし、ノードSFとPD (以下、受光素子の出力側をPDともいう) をVDDの電位にセットする。PDがVDDにセットされた後、TGが低電位となりM2がオフになるので、その後PDに入射した光によって発生した光信号は、PDに蓄積される。この画素のPDに光信号が蓄積される期間は、PDがVDDにセットされてから、次のフィールドでの同一行の信号読み出し動作でTGが高電位になるまでの間である。

【0013】次の第2行の画素12に対する信号読み出しは、第1行の画素12に対する信号読み出しが終了後に、上述したように第1行の場合と同様に行われる (図8の第2行のタイミング図を参照)。第1行と同様に、第2行の画素の光信号蓄積期間は、この画素の信号読み出しが終了してPDがVDDにセットされてから、次のフィールドの読み出しでTGが高電位になるまでの間である。

【0014】

10 【発明が解決しようとする課題】ところで、第1行の画素と第2行の画素の光信号蓄積期間は、長さは同じだが、開始時間にずれが生じていることになる。例えば、画素の行が500あり、30分の1秒で各行の画素を順次1回読み出すとすれば、上下1行間では、15000分の1秒、第1行と第500行では30分の1秒だけ、光信号蓄積の開始時間に差があることになる。

【0015】この光信号蓄積開始時間の違いは、動いている被写体を撮像して、動画として人が見る時にはあまり気にならないが、動画の一部を静止画として取り込み、画像表示した場合には、輪郭が歪みなどの不具合が生じる。これは、特に、静止画専用のデジタルカメラへのMOS型固体撮像装置の応用を困難とするものである。

【0016】そこで本発明は、上記課題を解決し、MOS型固体撮像装置において、受光素子の信号蓄積期間の長さとその蓄積開始時間を全画素で同一にすることができるようになり、これにより動く被写体を静止画として取り込むときにも、画像の歪みを生じることのない、かつ電子的なシャッタ機能を有し、しかも画素の構成を複雑にする必要のないMOS型固体撮像装置及びその撮像方法を提供することを目的とするものである。

【0017】

【課題を解決するための手段】上記目的を達成するための手段として、請求項1による本発明のMOS型固体撮像装置は、光電変換により信号を生成し出力する受光素子と、その信号を増幅する増幅用MOSトランジスタと、前記受光素子と前記増幅用MOSトランジスタの間に設けられたスイッチ用MOSトランジスタとを有する画素を複数個マトリクス状に配列したMOS型固体撮像装置において、前記受光素子の出力部に接続された、前記受光素子の出力部を一定電位にリセットとするリセット用MOSトランジスタを設けたことを特徴とするMOS型固体撮像装置を提供しようとするものである。

【0018】また、上記目的を達成するための手段として、請求項2による本発明のMOS型固体撮像装置は、光電変換により信号を生成し出力する受光素子と、その信号を増幅する増幅用MOSトランジスタと、前記受光素子と前記増幅用MOSトランジスタの間に設けられたスイッチ用MOSトランジスタとを有する画素を複数個マトリクス状に配列し画素部を構成したMOS型固体撮

像装置において、第1伝導型の基板と、この基板中に形成された第2伝導型の第1領域と、この第1領域中に形成された第1伝導型の第2領域とを有し、前記第2領域の下に前記第1領域のない開口部を設け、前記第1領域と前記第2領域とより前記受光素子を構成し、前記第1領域の電位を変化させることにより、前記第2領域の出力部と前記受光素子の出力部をリセットするトランジスタを有することを特徴とするMOS型固体撮像装置を提供しようとするものである。

【0019】また、上記目的を達成するための手段として、請求項3による本発明のMOS型固体撮像装置の撮像方法は、請求項1又は2に記載のMOS型固体撮像装置の撮像方法であって、前記全画素の前記受光素子の出力を同時に所定の電位に設定して前記受光素子による光信号蓄積を開始し、所定時間経過後に前記全画素の前記受光素子の出力を同時に前記増幅用トランジスタに入力して保持した後、前記画素部の各行に順次前記受光素子の出力を前記増幅用トランジスタより出力して、全画素の光信号蓄積を同時にかつ同一期間行うようにしたことを特徴とするMOS型固体撮像装置の撮像方法を提供しようとするものである。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。なお、以下の説明において、従来例の構成と同一のものには、同一の参照符号を付して、その説明を省略している。

【0021】（第1実施例）図1は、本発明によるMOS型固体撮像装置の概略構成図である。図2は、本発明によるMOS型固体撮像装置の第1実施例における画素を示す構成図である。図3は、本発明によるMOS型固体撮像装置の第1実施例における制御信号のタイミングを示す図である。

【0022】図1に示す本発明のMOS型固体撮像装置1は、上述した従来例のMOS型固体撮像装置30におけるアドレス制御装置23に代えてアドレス制御装置3を、行制御装置24に代えて行制御装置4を、画素部2に代えて画素部2を、画素12に代えて画素10を用いた以外は、従来例のMOS型固体撮像装置と同一構成を有している。行制御回路4は、行制御回路24から出力される制御信号線に加えて、R_{PD}、PWL線の各制御線（以下、単にR_{PD}、PWLという）を有しており、本実施例においては、R_{PD}が各行の画素10に接続されている。アドレス制御回路3は、このような行制御回路4を制御している。

【0023】図2に示す本発明のMOS型固体撮像装置の画素10は、従来例の画素12に対して、新たにMOSトランジスタM8（以下、単にM8ともいう）が追加されている。ここで、M8について、そのドレインは基準電圧供給線15に接続され、そのゲートはR_{PD}に接続され、そのソースは受光素子PのN側に接続され

ている。M8は、P_Dのリセットを行うリセット用のトランジスタである。図2中において、Gはゲートを、Sはソースを、Dはドレインをそれぞれ示す。

【0024】なお、各MOSトランジスタの機能を説明すると、M1はV_{DD}セット用のスイッチとして、M2は、P_Dからの出力をセットするスイッチとして、M3はS_Fの電位のアンプ用として、M4はスイッチとして、M5はO_{UT}に出力させる負荷用として、M6及びM7はスイッチとして機能する。図3には、各制御線から画素10に供給される制御信号のタイミングが示されている。例として画素部2の第1行の画素10及び第2行の画素10に対するものが示されているが、後述するように、他の行に対しても同様の動作を行う。横軸は時間を示す。

【0025】以下、本実施例における画素10からの信号処理について説明する。まず、画素部2の全画素10のR_Gを高電位にしてM1をオンし、全画素10のノードS_FをV_{DD}の電位にセットする。次にR_Gを低電位にしてM1をオフした後、全画素10のT_Gを高電位にしてM2をオンする。これにより、全画素10の受光素子P_Dから受光素子P_Dの電位に比例した電圧がS_Fに伝達される。その後、T_Gを低電位にしてM2をオフした後、全画素10のR_{PD}を高電位にしてM8をオンする。この結果、全画素10の受光素子P_DがV_{DD}の電位にセットされる。

【0026】受光素子P_DがV_{DD}にセットされた後、R_{PD}を低電位にし、M8をオフすると、これより全画素10が同時に光信号の蓄積をスタートする。すなわち、全画素のフローティング状態の受光素子P_Dに光が入射してキャリアが発生し、受光素子P_DのN側に電荷が蓄積される。この信号蓄積の期間は、全画素10のT_Gが再び同時に高電位になるまでの時間となるように制御されるので、結局、全画素10とも信号蓄積時間の長さと同様になる。

【0027】全画素10同時にノードS_Fに転送された信号は、その後は、従来例と同様に、1行ずつ順次読み出される。最初に第1行の画素のR_Sが高電位となりM4がオンすると、M5にはV_Bがかかっているため、（P_Dの電位に比例する電圧）－（M3のしきい値電圧）の電圧がノードO_{UT}に現れる。その後S_HSを高電位にしM6をオンすると、この電圧で容量C_Sが充電される。

【0028】S_HSを低電位にし、M6をオフした後、R_Gを高電位にしてM1をオンするとノードS_FはV_{DD}の電位にセットされ、ノードO_{UT}の電圧が（V_{DD}の電位）－（M3のしきい値電圧）に変化する。この電圧で容量C_Rを充電するためにS_HRを高電位にしM7をオンする。容量C_SとC_Rは差動増幅器D_Aの各入力に接続しているため、D_Aの出力として、（P_Dの電位に比例する電圧）－（V_{DD}の電位）の電圧が得られ

る。これは、各画素10毎のM3のしきい値電圧のばらつきに関係しない出力となるので、画素10ごとに固定に発生する固定パターン雑音がない。

【0029】第1行の画素の信号読出しが終了したら、同様な方法で、第2行の画素の信号を讀出し、これを繰返し1フィールドの信号讀出しを行う。以上説明したように、本実施例では全画素10とも同一の時間に受光した光信号蓄積を開始し、同一の時間に、蓄積された光信号を一括してノードSFに転送し、その後、一行ずつの画素から信号を読み出すのであるから、動く被写体を静止画として取り込む時にも画像の歪みを生じない。

【0030】また、本実施例では、受光素子PDのリセット用トランジスタM8は各画素行の信号読み出し動作には無関係なのであるから、信号読み出し中のどのタイミングでオン、オフしても良い。その結果、M8のオン、オフ時間を調整して、電子シャッタの機能を実現することができる。例えば、30分の1秒で全画素を読み出す場合では、図3のタイミングチャートの左端で1度全画素の受光素子Pをリセットした後、全画素の読み出し期間中に再度リセットしなければ、シャッタスピードは30分の1秒に相当する。又、例えば1000分の1秒のシャッタスピードを実現する時は、全画素の読み出し期間が終る1000分の1秒前に受光素子Pをリセットしそれまでに蓄積した光信号をキャンセルし、残りの時間(1000分の1秒間)に集めた光信号だけを読み出せば良い。この機能を使えば、高速で動く被写体でも、ぶれの無い静止画として取り込むことができる。

【0031】(第2実施例) 図4は、本発明によるMOS型固体撮像装置の第2実施例における画素を示す構成図である。図4に示す本発明のMOS型固体撮像装置1における画素11は、上述した実施例1の画素10における受光素子PD及びリセット用トランジスタM8に代えて縦型NPN型構造トランジスタT1を用い、M8の制御線RPDに変えて、T1にPWL線が接続されている以外は、実施例1の画素と同一構成をしている。実施例のMOS型固体撮像装置1は、本実施例においては、行制御としてPWLに代えてRPDを用いる。

【0032】ここで、縦型NPN型構造トランジスタT1(以下、単にT1ともいう)につき説明する。図5は、本発明によるMOS型固体撮像装置の第2実施例における受光素子の断面図である。図5において、32は、N型基板、33はPウェル領域、31はN型領域、35は、Pウェル開口部、34は空乏層を示す。受光素子(PDと示す)は、N型基板内のPウェル領域33と、その中に形成されているN型領域31のPN接合で形成する。

【0033】N型領域31の下にあるPウェル領域33の一部にPウェルが無い開口部(Pウェル開口部35)を設ける。このPウェル開口部35の寸法WはN型基板31が電源電圧、Pウェル領域33がグランド電位

の時、Pウェル開口部35のN型領域が全部、空乏層となる様に設定する。

【0034】ここでN型基板32は基準電圧電源線15に接続されておりVDDが供給されている。Pウェル領域33はPWLに接続されており、N型領域はM2のソースに接続されている。PWLがグランド電位するとき(図4(A)電荷蓄積時の場合)、N型領域31とN型基板32は空乏層34で分離され、光の入射により発生した光キャリアはN型領域31とPウェル領域33とのPN接合に蓄積される。

【0035】一方、PWLをグランド電位と電源電位VDDとの中間程度に設定すると(図4(B)リセット時の場合)、N型基板32とPウェル領域33との逆バイアスが減少するので、Pウェル開口部35における空乏層34が分離し、N型領域31とN型基板32が導通してN型領域は電源電位VDDとなり、受光素子はリセットされる。

【0036】従って、本実施例においては、上述の第1実施例で説明した図3のタイミングチャートにおけるRPDをPWLに代えて、かつRPDを高電位にする代わりに、PWLを所定の電位にすれば、実施例1と同様の信号取出しを行うことができることがわかる。すなわち、本実施例では、全画素11が同一の時間に受光による光信号蓄積を開始し、同一の時間に、蓄積された光信号を一括してノードSFに転送し、その後、一行ずつの画素から信号を読み出すのであるから、動く被写体を静止画として取り込む時にも画像の歪みを生じない。

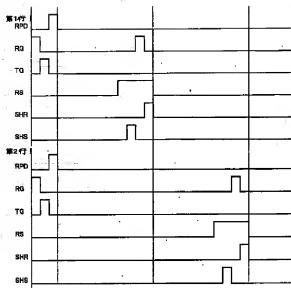
【0037】また、本実施例では、受光素子PDとこれをリセットする機能を有するトランジスタT1におけるリセット動作は各画素行の信号読み出し動作には無関係なのであるから、信号読み出し中のどのタイミングでオン、オフしても良い。その結果、T1のオン、オフ時間を調整して、電子シャッタの機能を実現することができることは実施例1と同様である。

【0038】第1実施例では1画素あたり5個のMOSトランジスタで構成され、従来例の画素よりMOSトランジスタが1個多く、その分だけ、受光素子の面積を小さくする必要があったが、本実施例ではこの点も改善し、受光素子の面積を従来例と同等にするものであり、光に対する感度の低下を抑えることができる。なお、以上縦型NPNトランジスタT1を例に説明したが、これに代えて、縦型PNPトランジスタを用いても良い。

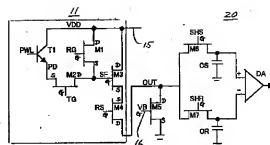
【0039】

【発明の効果】以上説明したように、請求項1による本発明のMOS型固体撮像装置は、光電変換により信号を生成し出力する受光素子と、その信号を増幅する増幅用MOSトランジスタと、前記受光素子と前記増幅用MOSトランジスタの間に設けられたスイッチ用MOSトランジスタとを有する画素を複数個マトリクス状に配列したMOS型固体撮像装置において、前記受光素子の出力

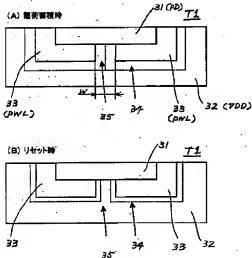
【図3】



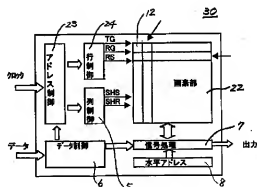
【図4】



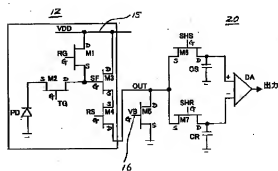
【図5】



【図6】



【図7】



【図8】

